

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表 2000-500310

(P 2000-500310A)

(43) 公表日 平成12年1月11日 (2000. 1. 11)

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 P 5/08

H 0 1 P 5/08

N

審査請求 未請求 予備審査請求 有

(全 2 3 頁)

(21) 出願番号 特願平9-518227
(86) (22) 出願日 平成8年10月25日 (1996. 10. 25)
(85) 翻訳文提出日 平成10年5月8日 (1998. 5. 8)
(86) 国際出願番号 PCT/US96/17359
(87) 国際公開番号 W097/17738
(87) 国際公開日 平成9年5月15日 (1997. 5. 15)
(31) 優先権主張番号 08/555, 493
(32) 優先日 平成7年11月8日 (1995. 11. 8)
(33) 優先権主張国 米国 (US)
(81) 指定国 EP (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CA, CN, IL, JP

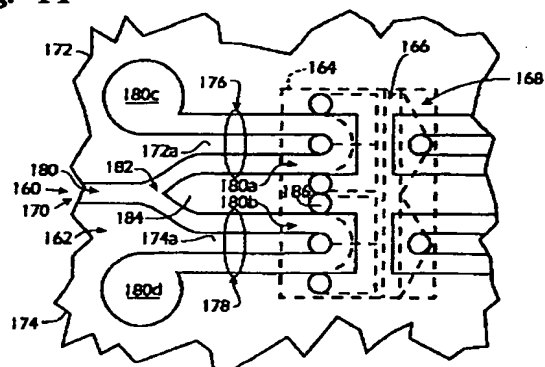
(71) 出願人 エンドゲート コーポレーション
アメリカ合衆国, 94086-4102 カリフォルニア州, サニーベール, ソケル ウェイ 321
(72) 発明者 モーウィンケル, クリフォード, エー.
アメリカ合衆国, 95128 カリフォルニア州, サン ノゼ, ピーチツリー レーン 2363
(74) 代理人 弁理士 吉岡 宏嗣 (外2名)

(54) 【発明の名称】 スロットラインから共平面導波路への移行

(57) 【要約】

多機能動作及び重複単機能動作を目的として複数の本質的に同一の能動素子 (Q 1, Q 2, Q 3, Q 4) を接続する手段を提供する。これらの素子 (Q 1, Q 2, Q 3, Q 4) は、チップ (6 6) に取り付けられ、大きな受動的素子を有する回路母板にフリップ取り付けされる。プッシュプル型増幅器 (5 0) が例として提示されており、その例では重複単機能動作は、その能動素子 (Q 1, Q 2, Q 3, Q 4) が単一のチップ (6 6) 上にある増幅器 (5 6, 5 8) 同士の間で結合である。電磁結合、インピーダンス整合及び信号伝送は、ストリップライン (8 2, 8 8)、スロットライン (9 4, 1 0 0)、共平面導波路 (1 1 6, 1 3 0)、及び、共平面導波路 (1 7 6, 1 7 8) に変換されるスロットライン (1 8 0) を使用することによっていろいろに実現される。特に、分割共平面スロットライン (1 7 0) から 2 共平面導波路 (1 7 6, 1 7 8) への変換は、該共平面導波路 (1 7 6, 1 7 8) にフリップ取り付けされているトランジスタ (1 6 6) の対へ信号を伝送する機能を提供する。

Fig. 11



BEST AVAILABLE COPY

【特許請求の範囲】

1. 電子回路構造（160）であって、この構造は：

基板を有し：

該基板に取り付けられていて、第1の平らなスロットライン導体（172）と第2の平らなスロットライン導体（184）とを有するスロットライン（170）を有し；

第1、第2及び第3の導波信号導体（172a、184、172）を有する共平面導波路（176）を有し、この第2及び第3の導波導体（184、172）は該第1導波導体（172a）から離隔されて該第1導波導体の両側に配置されており、該第1導波導体（172a）と該第3導波導体（184）との間のスペースは、第1スロット幅を有する第1スロット（180a）を形成し、該第1スロットライン導体（172）は第1及び第3の導波導体（172a、172）の両方に接続され、該第1スロットライン導体（172a）の第1の拡大された穴（180c）は、該第1スロット（180a）と連通していて、該第1スロットライン導体（172a）が第1及び第3の導波導体（172a、172）の両方に接続されている箇所に位置しており；

制御端子（G）と2つの電流伝導端子（D、S）とを備えたトランジスタ（166）を有するチップ（164）を有し、電流は、該制御端子（G）に加えられた信号に応じて該電流伝導端子（D、S）を通過して流れるようになっており、このチップ（64）は該基板に取り付けられ、該制御端子（G）は該第1導波導体（172a）にフリップ取り付けされ、一方の電流伝導端子（S）は該第2導波導体（184）にフリップ取り付けされ；出力導体手段が該基板に取り付けられて、該トランジスタ（166）を通して電流を伝導させるために他方の電流伝導端子（D）に接続されることを特徴とする電

子回路構造。

2. 電子回路構造であって、この構造は：

基板を有し；

該基板に取り付けられていて、第1スロット（180）を画定する第1の平ら

なスロットライン導体(172)と第2の平らなスロットライン導体(174)とを有するスロットライン(170)を有し;

第1、第2及び第3の導波信号導体(172a、184、172)を有する第1の共平面導波路(176)を有し、この第2及び第3の導波導体(184、172)は該第1導波導体(172a)から離隔されて該第1導波導体の両側に配置されており、該第1導波導体(172a)と該第3導波導体(172)との間のスペースは、第1スロット幅を有する第1スロット(180a)を形成し、該第1スロットライン導体(172a)は第1及び第3の導波導体(172a、172)の両方に接続され、該第1スロットライン導体(172)の第1の拡大された穴(180c)は、該第1スロット(180a)と連通していて、該第1スロットライン導体(172)が第1及び第3の導波導体(172a、172)の両方に接続されている箇所に位置しており;

第1の共平面導波路(176)に平行な第2の共平面導波路(178)を有し、この第2共平面導波路(178)は、該第2導波導体(184)に隣接する第4導波導体(174a)を有するとともに、該第2導波導体(184)と向かい合って該第4導波導体(174a)から離隔されている第5導波導体(174)を有し、該第4導波導体(174a)と該第5導波導体(174)との間のスペースは第2スロット幅を有する第2スロットを形成し、該第2スロットライン導体(174)は該第4導波導体(174a)及び該

第5導波導体(174)の両方に接続され、該第2スロットライン導体(174)に第2の拡大された穴(180d)があり、この穴は該第2スロット(180b)と連通していて、該第2スロットライン導体(174)が第4及び第5の導波導体(174a、174)の両方に接続されている箇所に位置することを特徴とする電子回路構造。

【発明の詳細な説明】**スロットラインから共平面導波路への移行****発明の背景****技術分野**

本発明は、ベース基板にフリップ取り付けされた (flip mounted) 集積回路を有し、その集積回路にメタライゼーションが結合されている回路構造に関する。本発明は、特に、複数の素子を有し、それらの素子が基板上のメタライゼーションによって相互に結合されている集積回路に関する。

背景技術

GaAs集積回路は割合に高価であるので、マイクロ波回路及びミリメートル (mm) 波回路をハイブリッド回路として作るのが一般的である。GaAsを使用する必要がある能動素子はGaAsチップ上に作られ、該チップは、シリコン、Al₂O₃、BeO、及びAlNなどの割合に安価な基板を有する母板に取り付けられる。

複数の能動素子を有する在来の回路は、その能動素子の各々について別々の集積回路又はチップを作ることによって組み立て製造されている。回路メタライゼーション及び受動的素子は母板上に印刷され、各チップは母板上の割り当てられた位置に取り付けられる。チップ上の集積回路は、例えば単一のFETなどは、非常に小さいことがある。集積回路は、例えば増幅器により与えられるような、全体としての機能を得るためにいろいろな素子が組み込まれて、もっと複雑になることもある。

複雑な回路では、多数のその様なチップを作って取り付けることが必要になることがある。その結果として小さなチップを個別に取り扱うことが必要になり、それも製造コストを幾分増大させがちである。チップが複雑な回路を持っている場合には、単純なチップよりも大きなGaAs基板が必要になるので、製造コストがかさむことになり、ハイブリッド回路構造の長所が十分に生かされないことになる。

従って、ハイブリッド回路製造方法と、マイクロ波及びmm波の回路に使用さ

れる場合に使われるGaAs基板のサイズを最小限とするとともに簡単に製造することができて、従って低コストで効率よく製造することのできるハイブリッド回路構造が必要である。

発明の開示

本発明は、電磁信号を伝送する回路構造を提供する。本発明は、特に、基板と、第1及び第2の平らなスロットライン導体を有する該基板に取り付けられたスロットラインと、第1、第2及び第3の導波信号導体を有する共平面導波路とから成る電子回路構造を提供するものであり、この第2及び第3の導波導体は第1の導波導体から離隔されて該第1導波導体の両側に配置されている。該第1導波導体と該第3導波導体との間のスペースは、第1スロット幅を有する第1スロットを形成する。第1スロットライン導体は第1及び第3の導波導体の両方に接続される。該第1スロットライン導体の拡大された穴は、該第1スロットと連通していて、該第1スロットライン導体が第1及び第3の導波導体の両方に接続されている箇所に位置する。

本発明の1つの特徴に従って、該回路構造は、更に、制御端子と2つの電流伝導端子とを備えたトランジスタを有するチップを含んでいる。このチップは該基板に取り付けられ、該制御端子は該第1導波導体にフリップ取り付け

けられ、一方の電流伝導端子は該第2導波導体にフリップ取り付けされる。出力導体が該基板に取り付けられて、該トランジスタを通して電流を伝導させるために他方の電流伝導端子に接続される。この回路構造は、受動的変換のみにより生じるロスではなくて、有効な利得を、該スロットラインから変換される信号に与える。

本発明の他の特徴に従って、第1の共平面導波路に平行な第2の共平面導波路は、該第2導波導体に隣接する第4導波導体を有するとともに、該第2導波導体と向かい合って該第4導波導体から離隔されている第5導波導体を有する。該第4導波導体と該第5導波導体との間のスペースは第2スロットを形成し、該第2スロットライン導体は該第4導波導体及び該第5導波導体の両方に接続される。該第2スロットライン導体に第2の拡大された穴があり、この穴は該第2スロッ

トと連通していて、該第2スロットライン導体が第4及び第5の導波導体の両方に接続されている箇所に位置する。これにより第1及び第2のスロットラインで伝送される信号は、ともに、2スロットラインでの伝送から共平面導波路での伝送に変換される。

従って、本発明は、簡単且つ経済的に製造することのできる回路を提供するものであるということは明らかである。本発明のこれらの特徴及び利点並びに他の特徴及び利点は以下の解説において説明され且つ添付図面に示されている好ましい実施例から明らかとなる。

図面の簡単な説明

図1は、本発明の回路を造るために使用されるFETのアレイを有するウェーハの一部分の略平面図である。

図2は、図1のアレイからの一組のFETを使って本発明に従って作ることのできるプッシュプル型増幅回路の回路図である。

図3は、FETの拡張されたアレイを有するチップを使う、直列に接続された多数の図2の回路の回路図である。

図4は、図3の回路に使用することのできるチップの略平面図である。

図5は、マイクロストリップ・ライン導体を使用する図3の回路の第1実施例の平面図である。

図6は、本発明の第2実施例に使用することのできるプッシュプル型増幅器の簡単な回路図である。

図7は、スロットラインを使用する図3の回路の第2実施例の平面図である。

図8は、図7の実施例のためのチップとして使用できるFETアレイの配置を示す平面図である。

図9は、共平面導波路を使用する図3の回路の第3実施例の平面図である。

図10は、図9の回路におけるチップのFET配置を示す拡大図である。

図11は、スロットラインから複式共平面導波路への変換を有する図3の回路の第4実施例を示す平面図である。

発明の最良の実施態様

本発明は、一面において、母板に形成された部分回路に別々に接続された複数の能動素子を有する単一のチップを使用することを特徴としている。始めに図1を参照すると、FET12として図示されている能動素子のアレイ10は、在来技術によってウェーハ14上に形成される。能動素子という用語は、トランジスタ等の個々の素子、又は増幅器等の、それに関連する集積回路を指す。

線16及び18等の垂直及び水平の破線は、1組以上のFETを隣のFETから分けるための潜在的ノコギリ又はスクライブ・ストリート (potential

saw or scribe streets) を示している。各FETは、ゲート20即ち制御端子と、ソース22とドレイン24とを持っている。ソース及びドレインは電流伝導端子とも称される。各ゲート、ソース及びドレインは、それぞれの端子26、28及び30等の、少なくとも1つの接続端子に接続されている。

ウェーハ14を大量に製造することにより、各能動素子を割合に安価にすることができる。次に、接続端子の位置が母板上の接続端子の位置に対応する能動素子を有するチップが得られるように、選択されたウェーハを選択された切断パターンを使って分割することによって能動素子のアレイに分割することができる。ウェーハ切断パターンを変更することにより、いろいろな回路を形成するために能動素子のいろいろなアレイを使用することができる。この方式の1つのアプリケーションでは、チップ上の能動素子は相互に接続されない。しかし、他のアプリケーションでは、各能動素子のための別々の接続端子も持ちながら相互接続もある。この後者の特徴の例が後述する図9及び10に示されており、その例では、ソース又はドレイン等の、隣り合う同様の端子が相互に接続される。

図1は本発明の単純な形を示していて、そのウェーハ上の全ての素子が同一である。種々の素子を使いたいときには、繰り返し形態又はパターンをなす種々の素子の集団を持つウェーハを作る。

多数の素子から成る個々のアレイを使用することのできる1つのアプリケーションは、大電流伝導又は大出力用の大きなトランジスタのゲートアレイの製造である。マイクロ波及びmm波のアプリケーションでは、これは、しばしば、ウィルキンソン・コンバイナ (Wilkinson combiners) 等によってFETを接続して

インピーダンス変換を行うとともに多数の端子接続を結合させることによって得られる。

図2に示されている回路32等のプッシュプル型の増幅回路を使って同様

の結果を達成することができる。この回路は、特にインピーダンス変換に関しては在来の、多数のFETを並列接続した電力増幅器に比べて、固有の長所を提供するものであり、図1を参照して説明した能動素子アレイ・チップを使ってこの回路を作ることができる。回路32は、入力端子33と、第1入力結合素子35及びこの第1素子35に電磁的に結合される第2入力結合素子36により形成される入力電磁結合34とを含んでいる。

破線で示されているチップ38は、第1及び第2のFET39及び40を含んでいる。素子35は、入力端子を第1FETのゲートに結合させる。素子36は、第2FETのゲートを、グラウンド等の共通電位に結合させる。

FET39のドレーンは、出力電磁結合45の一部分を形成する第1出力結合素子44によって出力端子42に結合されている。素子44と電磁的に結合される第2出力結合素子46は、FET40のドレーンをグラウンドに結合させている。

入力及び出力における電磁結合を通して信号は分割されて2個のFETによって増幅される。インピーダンス変換のために図3に示されているように直列／並列プッシュプル型構成にこの構造を使用することができる。この図は、セクション52及び54などの複数の直列（プッシュプル）セクションを有する電力増幅器50を図示している。各セクション52及び54は2つの回路部分56及び58を含んでおり、これらの回路部分は、グラウンドに接続されるのではなくて接続60及び62で示されているように互いに接続されている点を除いて、図2の回路32と同等である。その結果として接続点に仮想グラウンドが生じる。

例えばウィルキンソン・ディバイダーを使うなどして、入力信号を各回路セクションための信号に分割して出力信号を再結合することにより、相当の電力結合を達成できる。個々のFETで、或いは信号の分割又は再結合の前

又は後で、インピーダンスの整合をとることができる。

FETをFETの直線形アレイ64をなすように並べることができ、そのアレイを図1を参照して説明したように作られた単一のチップ66で形成することができる。チップ66の代表的なFET又はバイポーラ・トランジスタの具体図が図4に示されている。この場合、トランジスタは、トランジスタ対Q1及びQ2, Q3及びQ4等の反復として図示されている。各トランジスタ対は、図3に示されている回路部分の第1及び第2のFETに対応する。図1を参照して説明したように、FETQ1等の各FETは、ゲート68, ゲート端子69, ソース70, ソース端子71, ドレイン72, 及びドレイン端子73を有する。これらのトランジスタ対の構造は、それらの機能に応じて、異なっても良い。

電力増幅器50の第1実施例が図5に増幅器74として示されている。チップ75は、FET76, 77, 78及び79を含む8個のFETを有する。増幅器74は、同様の直列プッシュプル型回路セクション80及び81を含んでいる。四分の一波長入力マイクロストリップライン導体82及び83はエアブリッジ84によって接続されている。同じく、入力マイクロストリップライン導体85及び86はエアブリッジ87によって接続されている。部分82aなどの四分の一波長部分を含むこれらの導体は、各セクションに入力信号を供給する。電磁結合は、各セクションの下側部分の第2FET(FET77及び78など)に相補的入力信号を供給する。それぞれの第2FETは、それぞれU形状の導体88及び89によって相互に結合されている。出力側のマイクロストリップラインは入力側の導体とほぼ同じ形である。

マイクロストリップラインは、所要の如何なるインピーダンスも得られるように設計される。入力インピーダンス又は出力インピーダンスは、インピーダンスが十分に大きくなるまで直列に接続され、所望の出力レベルに適す

る数の並列セクションに接続される。

図6-8は、スロットラインを使用して本発明を具体化した電力増幅器90を示している。図6は2個のFET91及び93を有するプッシュプル型セクション92の回路図であり、それらのソースは相互に接続されている。2つの平衡入

力信号がそれぞれのゲートに入力され、2つの平衡出力信号がそれぞれのドレーンに出力される。

図7は、母板の基板、ハイブリッド基板、或いはその他のタイプのベース基板上でのセクション92と、このセクション92と同様の追加のセクション95とのためのスロットラインの好ましい形を示している。増幅器90の動作は増幅器76と同等である。入力スロットライン94は、増幅器90の回路の部分回路とも称されるものであって、向かい合う共平面導体96及び98によって形成されており、このスロットラインは逆”E”形で、長い中央脚部94aと、向かい合って延在している横断曲がり部94b及び94cと、中央脚部94aに平行な、端部が閉じている外側脚部94d及び94eとを有する。この形状は、スロットラインの脚部間に延在する、端部の開いた導体フィンガー96a及び98aを形成している。

外側脚部はRFチョークとして機能する。出力スロットライン100は、入力スロットラインの鏡像であって同様に機能するけれども、寸法は入力回路及び出力回路のインピーダンス整合差により異なっている。スロットライン94及び100に取り付けられたときの、対応するFET構造の様子が図8にチップ102で示されている。チップ102は、ゲート端子G、ソース端子S、及びドレーン端子Dをそれぞれ有するFET91、93、104及び106を有する。これらの端子は、図7示されている対応する端子と整列している。

チップ102は図7に示されているメタライゼーションにフリップ取り付け

けされ、ゲートは入力フィンガーの端部に接続され、ソースは、E形のスロットラインの背部同士の間で導体96及び98を接続する導体108に接続されている。導体108は仮想グランドとして機能する。ドレーン端子は、図示のように、出力フィンガーの端部に接続される。

図9及び10は、本発明の実施例である第3の電力増幅器110を示している。図9は母板の基板上にメタライゼーションとして形成された部分回路112を示し、図10は、このメタライゼーション上にフリップ取り付けされたチップ114の様子を示す拡大図である。1994年8月26日に出願されて本発明と同

じ譲受人に譲渡された同時係属の米国特許出願第08/313,927号で解説されているように、共平面導波路もインピーダンスを整合させて電力増幅器のための信号伝送を行う。

メタライゼーション112は、信号導体118と、向かい合う平らなグラウンド又は基準導体120及び122とを有する入力共平面導波路116を包含している。信号導体は始めは1本のライン118aであり、その後、接合点124で2本のライン118b及び118cに分かれる。抵抗器126はライン118bと118cとを接続する。グラウンド導体128は信号ライン間に延在している。

インピーダンス整合差を除いて、出力共平面導波路130は、実質的に、FETアレイ・チップ114の下に延在している接続グラウンド平面ストリップ132に関して入力共平面導波路の鏡像である。このメタライゼーションではFETのアレイはプッシュプル動作のための直列／並列にではなくて並列に接続されているけれども、プッシュプル向きのメタライゼーションも容易に作ることができる。

図10は、2組134及び135の二重FET対136を有するFETチップ114を示している。このチップの各FET対136には、部分回路上

の対応する端子にフリップ取り付けされる端子が付随している。ゲート端子138がゲート139及び140に接続されている。ソース端子141、142と、ドレイン端子143とはそれぞれソース144、145とドレイン146とに接続されている。FET端子138、141、142及び143はそれぞれ部分回路150、151、152及び153に接続されている。

ドレイン146は、各FET対136の両方のFETのための共通ドレインとして機能する。同様に、ソース142等の各ソースは、隣り合う対の関連するFETのためのソースとして作用する。これらの二重任務端子は、實際上、接続されている端子である。

この実施例ではチップ114は特別に設計されているけれども、これをFET対の集合のウェーハから切り取るように修正することができる。その様な場合には、各FET対136又は2FETの対の集合のために別々のソース端子が設け

られる。また、対になったチップ114のFET構成を有する単一のチップを2つの平行なメタライゼーション112及び130に取り付けて増幅器110を作ることができる。

最後に、図11は、破線で示されているFETチップ164がフリップ取り付けされている母板部分回路162を有する電力増幅器160の一部分を示している。増幅器110の場合にそうであったように、チップ164のFETアレイ168の中のFET166等のFETは入力（ゲート）において電氣的に直列に接続されている。

この実施例の部分回路162の入力部分は異なっている。それは、共平面導体172及び174により形成される入力スロットライン170から2要素共平面導波路176及び178への転換を与える。これらの出力ラインは入力回路と同様に又はプッシュプル・ラインとして結合され得るものである。図7に示されている増幅器90のE形スロットで終端する代わりに、スロッ

ト180は接合点182で細長いU形のスロット180a、180bに分かれる。

U形スロットは円形の穴180c及び180dで終わっている。これらの穴は、開回路として機能することにより、U形状のスロットに延び込む終端開放導体脚172a及び174aとして形成されるそれぞれの導体によって入力信号が伝送されることを可能にする。チップ164の下で導体172及び174に接続されている中間導体184は、接合点182からFETの端子186等のソース端子へ延びている。該導体へのFETの取り付け及び接続は、増幅器90に関して説明したのと同様である。

産業上の利用可能性

従って、本発明はチップ上に好ましくはアレイを成すように複数の能動素子が形成されるハイブリッド回路構造を提供するものであり、このチップは、母板の基板上に形成された部分回路に取り付けられて個別に該部分回路に接続される。本発明は特に多機能チップ及び電力増幅器に有益であるけれども、複数の個別能動素子との接触を必要とする如何なる回路又は回路の組み合わせにも適用可能で

ある。また、本発明は、FETのプッシュプル型構成に特に有益であり、これに種々の共平面メタライゼーション・パターンが特別の利益を与える。チップ上の能動素子同士を接続しても良く、また各能動素子が接続されている部分回路同士が関連していなくても良い。

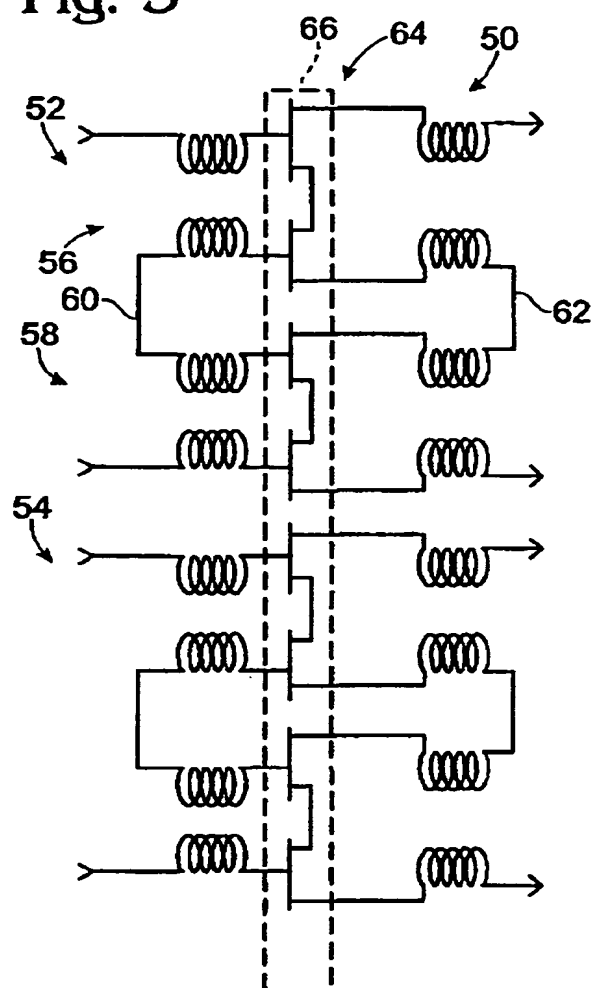
本発明に従って有利に具体化される回路の他の例としては、内部検出器を有する電力増幅器、RF低ノイズ増幅器を有する受信装置、ギルバート・セル・ミキサー等のミキサー、同調型バ拉克ターを持っている或いは持っていない発振器、及び中間周波数増幅器などがある。本発明は、特に分布線（人工伝送線）型の移相器にも適用可能である。

好ましくは、これら全ての場合に、マトリックス・ダイ又はチップは、基板にフリップ取り付けされるFET等の能動素子を有するだけである。それにより幾つかの長所が実現される。そのチップを、単一の簡単なFETプロセスとMMICプロセスとを使って作ることができる。ウェーハをいろいろな形態に切断することができるので、試作品を容易に作ることができる。その後に、その試作品と同じ製造品を作ることができる。用途が決定される前に適当なウェーハを作ることさえ可能である。高い歩留まり及び大量生産が実現可能である。

従って、請求項において定義されている発明の範囲から逸脱せずに好ましい実施例の形及び詳細を変更し得ることは当業者にとっては明らかであろう。好ましい実施例は説明の目的で提示されているのであって、限定を目的とするものではない。

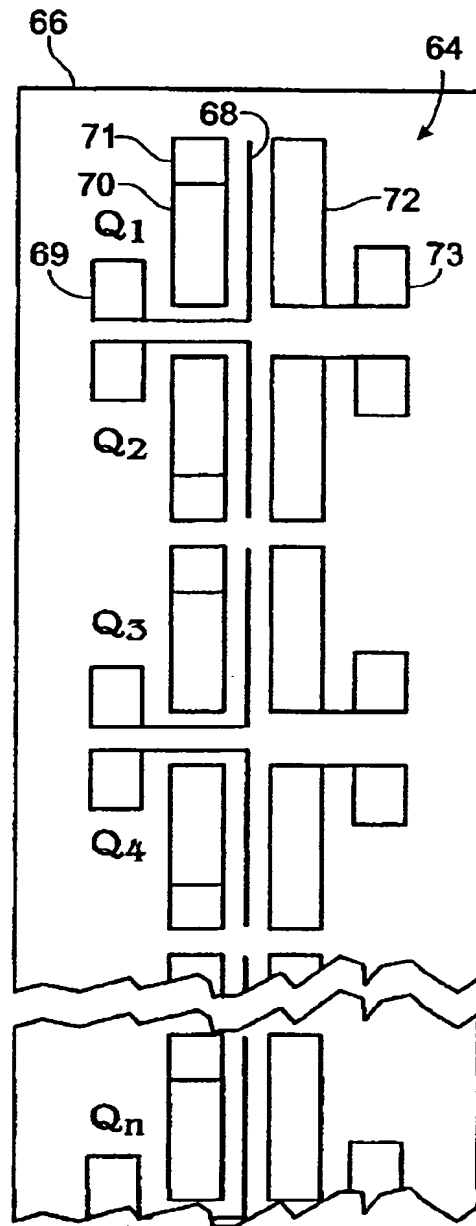
【図 3】

Fig. 3



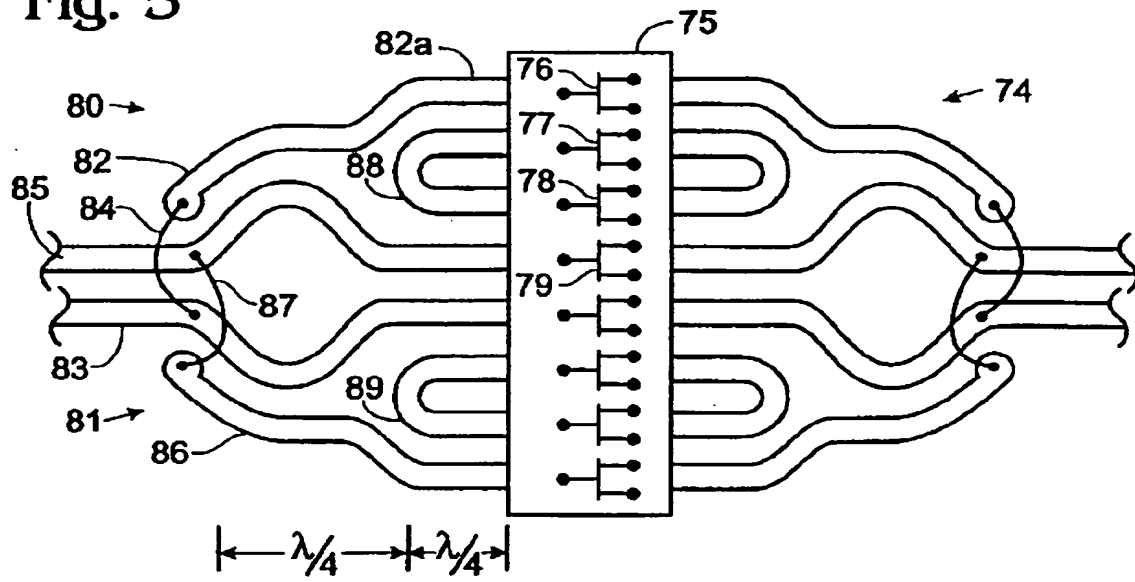
【図 4】

Fig. 4



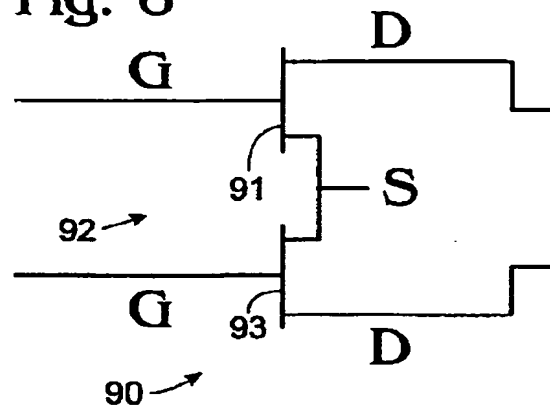
【図 5】

Fig. 5



【図 6】

Fig. 6



【図 8】

Fig. 8

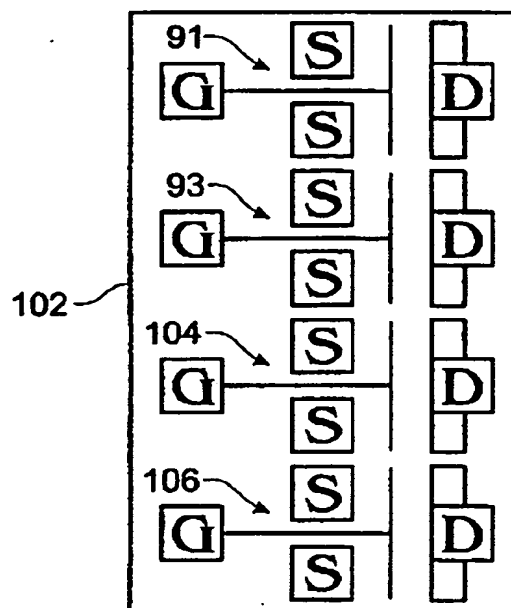
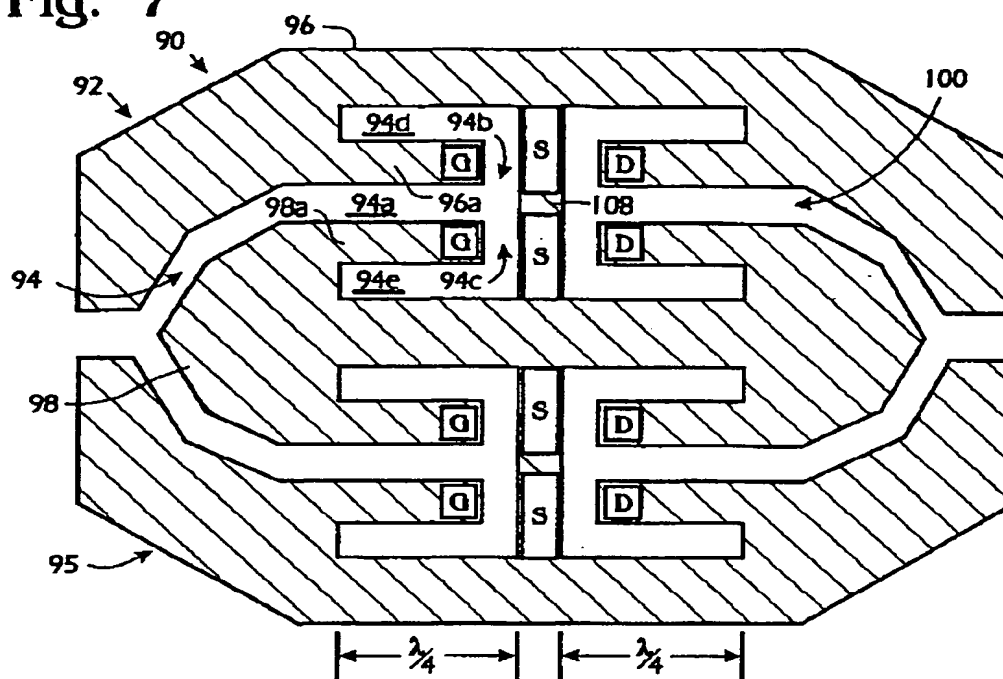
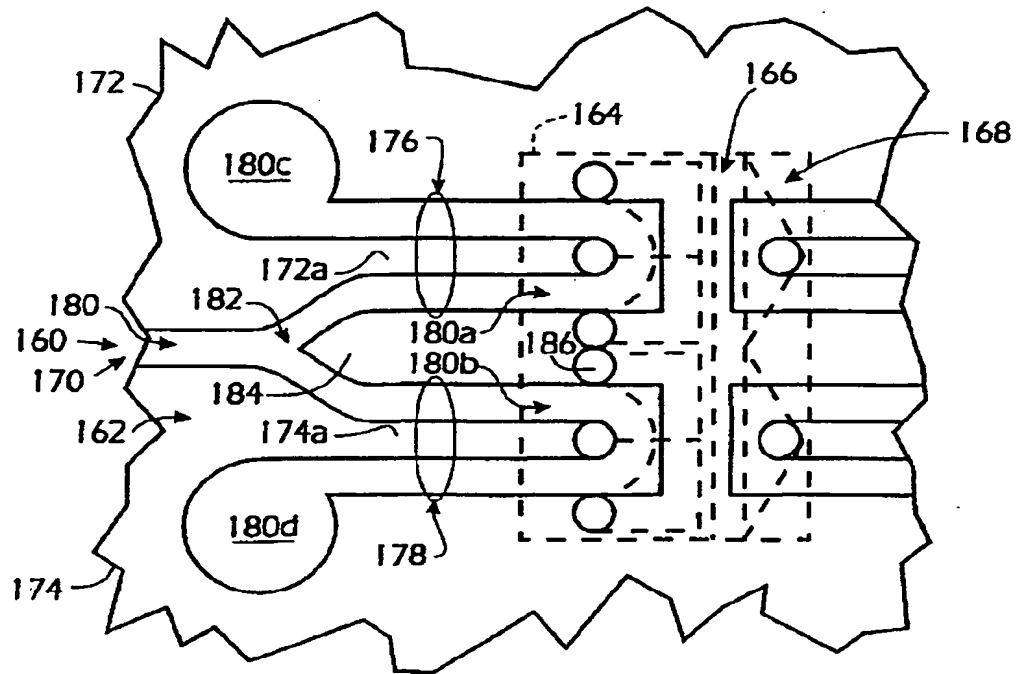


Fig. 7

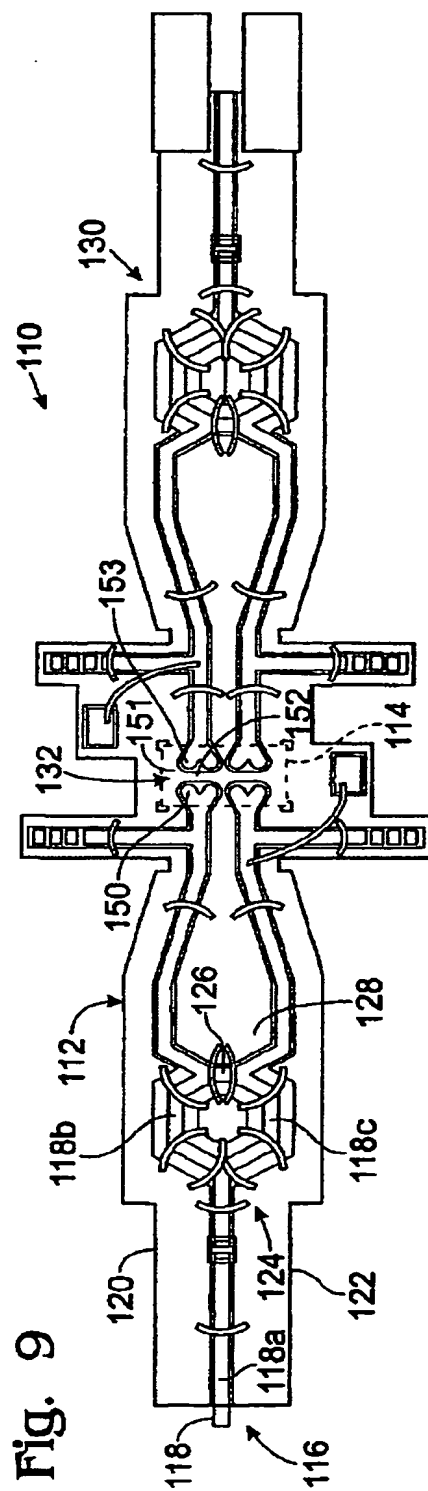


【図 11】

Fig. 11



【図 9】



【図 10】

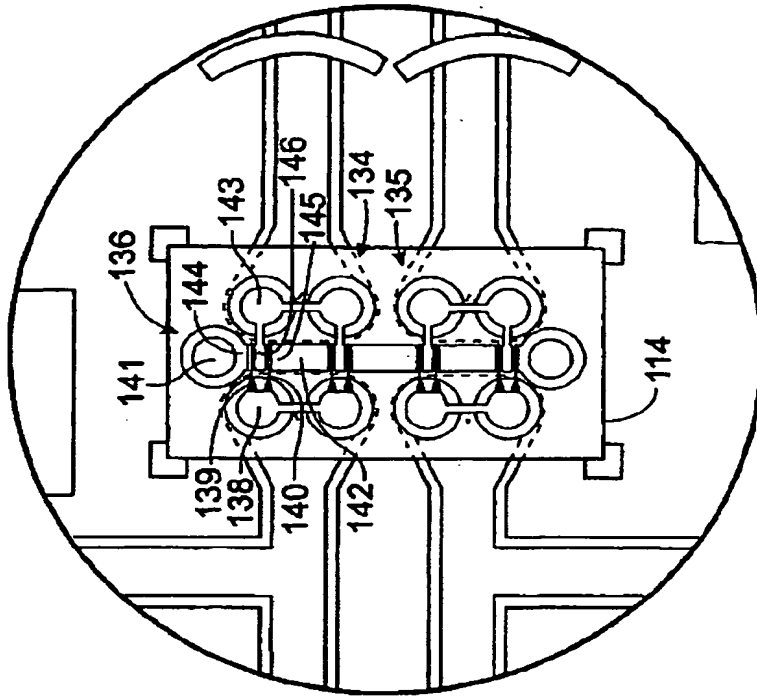


Fig. 10

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US96/17359

| A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : HOIP 5/10,5/12 US CL : 333/128 According to International Patent Classification (IPC) or to both national classification and IPC | | |
|---|--|--|
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 333/26,33,128,238,246,247,257/275,776 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A | US,A, 3,995,239 (HEAD ET AL.), 30 NOVEMBER 1976 (30.11.76), FIGURE 1 | NONE |
| A | US,A, 4,005,375 (PRINGLE ET AL.), 25 JANUARY 1977 (25.01.77), FIGURE 1 | |
| A | US,A, 4,739,519 (FINDLEY), 19 APRIL 1988 (19.04.88), FIGURE 5 | |
| A | US,A, 5,426,400 (HO ET AL.), 20 JUNE 1995 (20.06.95), FIGURE 3 | |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: | T | later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | X | documents of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier document published on or after the international filing date | Y | document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) | | |
| "O" document referring to an oral disclosure, use, exhibition or other means | | |
| "P" document published prior to the international filing date but later than the priority date claimed | "A" | document member of the same patent family |
| Date of the actual completion of the international search | | Date of mailing of the international search report |
| 09 DECEMBER 1996 | | 08 JAN 1997 |
| Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 | | Authorized officer PAUL GENSER <i>Paul Genser</i> |
| Facsimile No. (703) 305-3230 | | Telephone No. (703) 308-4911 |

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.